

SLIP PHASE CONTROLLING PLL

Patent Number: JP3139018
Publication date: 1991-06-13
Inventor(s): YAMASHITA KAZUO; others: 02
Applicant(s): JAPAN RADIO CO LTD
Requested Patent: ☐ JP3139018
Application Number: JP19890278203 19891024
Priority Number(s):
IPC Classification: H03L7/183; H03L7/197
EC Classification:
Equivalents: JP2105699C, JP8008488B

Abstract

PURPOSE: To attain the control of an oscillating frequency with high C/N by cancelling a slip phase waveform at a phase comparison signal with high accuracy with comparatively simple circuit constitution, and applying a control signal to a VCO.

CONSTITUTION: A reference frequency FR sent from a reference oscillator/divider 12 is fed to a phase comparator 14. On the other hand, a signal FC to be frequency-divided is fed from a VCO 18 to a variable frequency divider 22A(22B) and a frequency division signal FD with a frequency division equal to that of the signal FR is sent to a phase comparator 14. A pulse width conversion signal DAP corresponding to the phase slip and the phase shift of the phase comparison signal SP sent from the comparator circuit 14 is sent. In such a case, the signal DAP and the phase comparison signal SP are fed to an LPF 16 so as to be cancelled together. Thus, a control signal SC being a DC voltage (current) with less ripples is sent out.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-139018

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)6月13日

H 03 L 7/183
7/197

8731-5 J H 03 L 7/18
8731-5 J

B
A

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 スリップ位相制御PLL

⑯ 特 願 平1-278203

⑰ 出 願 平1(1989)10月24日

⑱ 発 明 者	山 下	和 郎	東京都三鷹市下連雀5丁目1番1号	日本無線株式会社内
⑲ 発 明 者	井 上	昭 治	東京都三鷹市下連雀5丁目1番1号	日本無線株式会社内
⑳ 発 明 者	江 川	政 彦	東京都三鷹市下連雀5丁目1番1号	日本無線株式会社内
㉑ 出 願 人	日本無線株式会社			東京都三鷹市下連雀5丁目1番1号
㉒ 代 理 人	弁理士 千葉 剛宏			

明 細 書

1. 発明の名称

スリップ位相制御PLL

2. 特許請求の範囲

(1) 所定周波数信号を発振する電圧制御発振器と、

前記所定周波数信号が供給されて、分周波数信号を送出する2係数プリスケラ、スワローカウンタ、メインカウンタを含む2進数の可変分周手段と、

前記分周波数信号と位相比較を行い、且つ導出される比較値信号を積分せしめて、前記電圧制御発振器に印加せしめる位相比較/積分手段と、

前記メインカウンタに連動するとともに、パルスカウント動作の終了後、前記スワローカウンタをパルスカウント動作せしめてパルス幅変調を行うとともに、前記比較値信号に対応した

パルス幅変換信号を前記比較値信号に重畳すべく導出するD/A変換カウンタと、

を備えることを特徴とするスリップ位相制御PLL。

(2) 所定周波数信号を発振する電圧制御発振器と、

前記所定周波数信号が供給されて、分周波数信号を送出する2係数プリスケラ、スワローカウンタ、メインカウンタを含む2進数の可変分周手段と、

前記分周波数信号と位相比較を行い、且つ導出される比較値信号を積分せしめて、前記電圧制御発振器に印加せしめる位相比較/積分手段と、

前記スワローカウンタに連動するとともにパルスカウント動作の終了後、前記スワローカウンタをパルスカウント動作せしめてパルス幅変調を行うとともに、前記比較値信号に対応したパルス幅変換信号を、前記比較値信号に重畳すべく導出するD/A変換カウンタと、

を備えることを特徴とするスリップ位相制御 PLL。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、無線送受信装置等における高周波数の局部発振信号、送信発振信号を連続間隔(ステップ)等で生成するために好適なスリップ位相制御 PLL に関する。

[従来の技術]

無線通信装置等に用いられる高精度の周波数制御発振手段として、アナログ、デジタル式の PLL (位相差制御発振器) が多用されている。

この種の高 C/N 比(搬送波信号/雑音)の出力信号が得られる PLL の好例として、当出願人に係るスリップ位相制御 PLL (特開昭 63-26589 号公報参照)を挙げることができる。

このスリップ位相制御 PLL は VCO (電圧

制御発振器)、位相比較器、低域フィルタ (LPF)、且つパルススワロー型の 2 係数プリスケアラ、スワローカウンタ、メインカウンタからなる可変分周回路(プログラマブル・デバイダ)の慣用手段を有している。

さらに、周期 T 毎に可変分周数を $(n+q)$ ($q \neq 0$ の整数) 分周するとともに、周期 T の鋸歯状波を発生する鋸歯状波発生器を備えている。そして、位相比較器の出力のスリップ位相波形を打ち消すように鋸歯状波発生器の出力信号が、低域フィルタで加算または減算される。

このような構成においては、VCO のバリキャップ等に印加される制御電圧、特に、低電圧部にリップルが生起しないため、NF (ノイズフキユア) が向上して、高 C/N 比の出力信号が VCO から得られる。

そして、可変分周回路は 2 係数プリスケアラの分周数が 2^m と $2^m + 1$ において、スワローカウンタでは設定数 m に対して m カウントの動作を行い、さらに、メインカウンタでは設定数

n に対して n 分周の動作を行う。メインカウンタで n カウントが行われる際の m カウント期間は 2 係数プリスケアラにおいては $2^m + 1$ 分周の動作を行い、残りの $n - m$ カウント期間に 2 係数プリスケアラでは 2^m 分周の動作が行われる。

ここで総合分周数 q は、

$$\begin{aligned} q &= m \times (2^m + 1) + (n - m) \times 2^m \\ &= m + 2^m \times n \end{aligned} \quad \dots(1)$$

で示される。

[発明が解決しようとする課題]

上記の従来の技術に係るスリップ位相制御 PLL は高精度の発振周波数制御が可能であるが、比較的構成が煩瑣である。

ここで回路規模の低減を考慮した場合、LPF に供給されるスリップ位相波形の打ち消しのための信号の生成に、前記設定数 m が 0 から $2^m - 1$ まで変化することに着目し、2 係数プ

リスケアラの分周数が 2^m の一定値となる区間の 2 係数プリスケアラの出力パルスをカウントする D/A 変換手段の付加構成が考えられる。

然しながら、前記 D/A 変換手段における D/A 変換の範囲は 0 から $n - 2^m$ に限定されるものであり、多桁の D/A 変換手段は実現できない。このため高精度の周波数制御とともに回路規模、信号処理規模の低減の要請から、その改善が課題とされていた。

本発明に係る課題に鑑みてなされたものであって、比較的簡易な回路構成のもとに、位相比較出力信号におけるスリップ位相波形が、高精度に打ち消されて VCO に印加されて高 C/N 比の発振周波数制御が可能となるスリップ位相制御 PLL を提供することを目的とする。

[課題を解決するための手段]

前記の課題を解決するために、本発明のスリップ位相制御 PLL は、

所定周波数信号を発振する電圧制御発振器と、

前記所定周波数信号が供給されて、分周波数信号を送出する2係数プリスケアラ、スワローカウンタ、メインカウンタを含む2進数の可変分周手段と、

前記分周波数信号と位相比較を行い、且つ導出される比較値信号を積分せしめて、前記電圧制御発振器に印加せしめる位相比較／積分手段と、

前記メインカウンタに連動するとともに、パルスカウンタ動作の終了後、前記スワローカウンタをパルスカウンタ動作せしめてパルス幅変調を行うとともに、前記比較値信号に対応したパルス幅変換信号を前記比較値信号に重畳すべく導出するD/A変換カウンタと、

を備えることを特徴とする。

さらに、本発明のスリップ位相制御PLLは、所定周波数信号を発振する電圧制御発振器と、

前記所定周波数信号が供給されて、分周波数信号を送出する2係数プリスケアラ、スワローカウンタ、メインカウンタを含む2進数の可変

分周手段と、

前記分周波数信号と位相比較を行い、且つ導出される比較値信号を積分せしめて、前記電圧制御発振器に印加せしめる位相比較／積分手段と、

前記スワローカウンタに連動するとともにパルスカウンタ動作の終了後、前記スワローカウンタをパルスカウンタ動作せしめてパルス幅変調を行うとともに、前記比較値信号に対応したパルス幅変換信号を、前記比較値信号に重畳すべく導出するD/A変換カウンタと、

を備えることを特徴とする。

[作用]

上記のように構成される本発明のスリップ位相制御PLLにおいては、D/A変換カウンタにおけるパルスカウンタ数に比例し、総合分周数に反比例するパルス幅変調によるD/A変換が行われ、さらに総合分周数がスワローカウンタおよびメインカウンタにより制御される。

またさらに、連続した分周数の制約が 2^{n+1} 以上となり、メインカウンタの設定数 n に対して、例えば、特殊な加減算処理を行うことなく n 分周の動作が行われる。

[実施例]

次に、本発明に係るスリップ位相制御PLLの実施例を添付図面を参照しながら以下詳細に説明する

第1図は一実施例の構成を示すブロック図、第2図は実施例の可変分周部の詳細な構成を示すブロック図、第3図は可変分周部の他の例の詳細な構成を示すブロック図である。

第1図に示される例は、基準発振器／分割器12と、水晶発振子12xと、位相比較器14と、低域フィルタ16と、VCO18と、可変分周部22A(22B)とを有している。なお可変分周部22Bは可変分周部22Aの他の構成例である。

これらの構成において、VCO18のブリン動作(周波数一致)からロックイン動作(同期)

のもとに出力信号F。が導出される。

この動作を説明する。基準発振器／分割器12から送出される比較周波数信号(基準信号)F₁が位相比較器14に供給される。

一方、VCO18から被分周信号F。が可変分周部22A(22B)に供給され、比較周波数信号F₁と等しい分周波数の分周信号F。を位相比較器14に送出する。

位相比較器14から送出される位相比較信号S₁が低域フィルタ16に供給され、ここで積分された制御信号S。がVCO18に印加される。この場合、可変分周部22A(22B)からは、位相比較信号S₁の位相スリップ量、位相シフト量に対応したパルス幅変換信号D₁が送出される。ここでパルス幅変換信号D₁と位相比較信号S₁は打ち消し合うように低域フィルタ16に供給される。これにより、リップルの少ない直流電圧(電流)の制御信号S。が送出される。

このように基本的な動作等は従来周知(前記特開昭63-26589号公報等)であり、その詳細な

説明は省略する。

次に、本発明の要部である上記の可変分周部22A(22B)を説明する。

可変分周部22Aは、被分周信号 F_c が供給され、その分周比を切り換える2係数プリスケアラ32と、スワロカウンタ34と、メインカウンタ36とを有し、さらに、D/A変換カウンタ40とを有している。

なお、可変分周部22Bも可変分周部22Aと同様な構成であるが、後記されるようにスタート信号 S_{r1} がスワロカウンタ34に供給され、さらにスタート信号 S_{r2} がD/A変換カウンタ40に供給される構成である。

以下、可変分周部22A(22B)の分周信号 F_o およびパルス幅変換信号 D_{Ap} の導出の動作について説明する。

先ず、可変分周部22Aを説明する。

第2図において、符号 C_x は中間分周クロック、 S_{r1} は本回路のスタート信号であり、 S_{r2} はスワロカウンタ34のスタート信号である。

周設定コード n (数)の分周毎にスタート信号 S_{r1} を創出する。

D/A変換カウンタ40では、スタート信号 S_{r1} が供給されると、中間分周クロック C_x のD/A変換設定コード p (数)のカウン트가行われる区間にパルス幅変換信号 D_{Ap} をHレベルに維持し、D/A変換設定コード p (数)のカウンタ終了時にスタート信号 S_{r2} を創出する。さらに、次のスタート信号 S_{r1} が入来するまでパルス幅変換信号 D_{Ap} をLレベルに維持する。

次に、可変分周部22Bを説明する。

第3図において、符号 C_x は中間分周クロック、 S_{r1} は本回路のスタート信号であり、 S_{r2} はD/A変換カウンタ41のスタート信号である。さらに M_{00} は2係数プリスケアラ32の分周制御信号であり、 F_o は分周信号、 D_{Ap} はパルス幅変換信号である。また、 m 、 n は分周設定コード(数)、 p はD/A変換設定コード(数)である。

2係数プリスケアラ32では、分周制御信号

さらに、 M_{00} は2係数プリスケアラ32の分周制御信号であり、 F_o は分周信号、 D_{Ap} はパルス幅変換信号である。また、 m 、 n は分周設定コード(数)、 p はD/A変換設定コード(数)である。

2係数プリスケアラ32は分周制御信号 M_{00} がH(ハイ)レベルの区間に $2^m + 1$ 分周の動作を行う。さらに、分周制御信号 M_{00} がL(ロー)レベルの区間に 2^m 分周の動作を行い被分周信号 F_c を分周して中間分周クロック C_x を創出する。

スワロカウンタ34ではスタート信号 S_{r2} が供給されて、中間分周クロック C_x の分周設定コード m (数)のカウンを行う区間に分周制御信号 M_{00} をHレベルに維持し、さらに、次のスタート信号 S_{r1} が供給されるまで分周制御信号 M_{00} をLレベルに維持する。

さらに、メインカウンタ36では中間分周クロック C_x を分周設定コード n (数)による分周を行い分周信号 F_o を創出するとともに、分

M_{00} がHレベルの区間に $2^m + 1$ 分周の動作が行われ、さらに、分周制御信号 M_{00} がLレベルの区間に 2^m 分周の動作が行われて、被分周信号 F_c を分周した中間分周クロック C_x を得る。

スワロカウンタ35ではスタート信号 S_{r1} が供給されて中間分周クロック C_x を分周設定コード m (数)のカウンが行われる区間に分周制御信号 M_{00} をHレベルに維持し、次いで、分周設定コード m (数)のカウン終了時にスタート信号 S_{r2} を発生せしめる。また、次のスタート信号 S_{r1} が供給されるまで分周制御信号 M_{00} をLレベルに維持する。

メインカウンタ36では中間分周クロック C_x を分周設定コード n (数)に分周して分周信号 F_o を得るとともに、分周設定コード n (数)の分周毎にスタート信号 S_{r1} を創出する。

D/A変換カウンタ41ではスタート信号 S_{r2} が供給されて中間分周クロック C_x をD/A変換設定コード p (数)のウントが行われる区間にパルス幅変換信号 D_{Ap} をHレベルに維

持し、さらに、次の、スタート信号 S_{r1} が供給されるまでパルス幅変換信号 D_{Ap} をレベルに維持する。

上記の夫々の構成、動作から総合分周数 q^* は、

$$\begin{aligned} q^* &= (2^m + 1) \times m + 2^m \times (n - m) \\ &= m + 2^m \times n \end{aligned} \quad \dots(2)$$

で表される。

さらに、パルス幅変換信号 D_{Ap} のパルス幅率を d とすると、

$$d = \frac{2^m}{m + 2^m \times n} \times p \quad \dots(3)$$

なるパルス列が得られ、平均化することにより p に比例した D/A 変換電圧（あるいは電流）が得られる。

連続した分周数を得るには、 $n \geq 2^{m+1} + p$ であるから、連続可変できる分周数 q は、

$$\begin{aligned} q &\geq 2^m \times (2^m + p) = 2^{m+1} \\ &\quad + 2^m \times p \end{aligned} \quad \dots(4)$$

となる。

このようにして、 $0 \leq p \leq q - 2^m$ の範囲では、平均化することにより D/A 変換設定コード（数） p に比例し、且つ $m + 2^m \times n$ に反比例した高精度の D/A 変換電圧（あるいは電流）すなわち、パルス幅変換信号 D_{Ap} が得られることから、高 C/N 比、良好な NF の出力信号 F_o が導出される。

[発明の効果]

以上の説明から理解されるように、本発明のスリップ位相制御 PLL によれば、 D/A 変換カウンタにおけるパルスカウント数に比例し、総合分周数に反比例するパルス幅変調による D/A 変換が行われ、さらに総合分周数がスローカウンタおよびメインカウンタにより制御される。さらに、連続した分周数の制約が 2^{m+1} 以上となり、メインカウンタの設定数 n に対し

て、例えば、特殊な加減算処理を行うことなく n 分周の動作が行われることを特徴としている。

これにより、比較的簡易な回路構成のもとに、位相比較出力信号におけるスリップ位相波形が、高精度に打ち消されて VCO に印加されて高 C/N 比の発振周波数制御が可能となる効果を奏する。

4. 図面の簡単な説明

第1図は本発明に係るスリップ位相制御 PLL の一実施例の構成を示すブロック図、

第2図は第1図に示される実施例の可変分周部の詳細な構成を示すブロック図、

第3図は第2図に示される可変分周部の他の例の詳細な構成を示すブロック図である。

32...2係数プリスケアラ

34、35...スローカウンタ

36...メインカウンタ

40、41... D/A 変換カウンタ

D_{Ap} ...パルス幅変換信号 F_c ...被分周信号

F_o ...分周信号 M_{oo} ...分周制御信号

m 、 n ...分周設定コード

p ... D/A 変換設定コード

S_{r1} 、 S_{r2} ...スタート信号

特許出願人

日本無線株式会社

出願人代理人

弁理士 千葉 剛



12...基準発振器/分割器

12x...水晶発振子

14...位相比較器

16...低域フィルタ

18... VCO

22A、22B...可変分周部

FIG.1

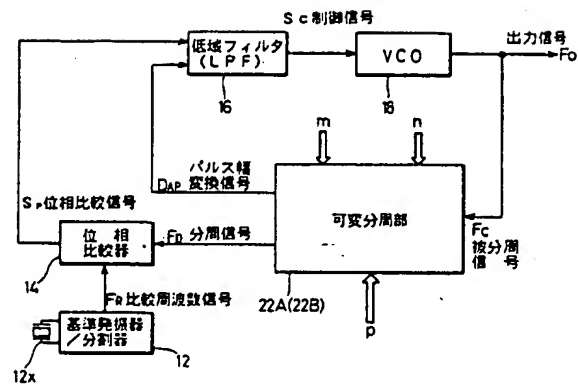


FIG.2

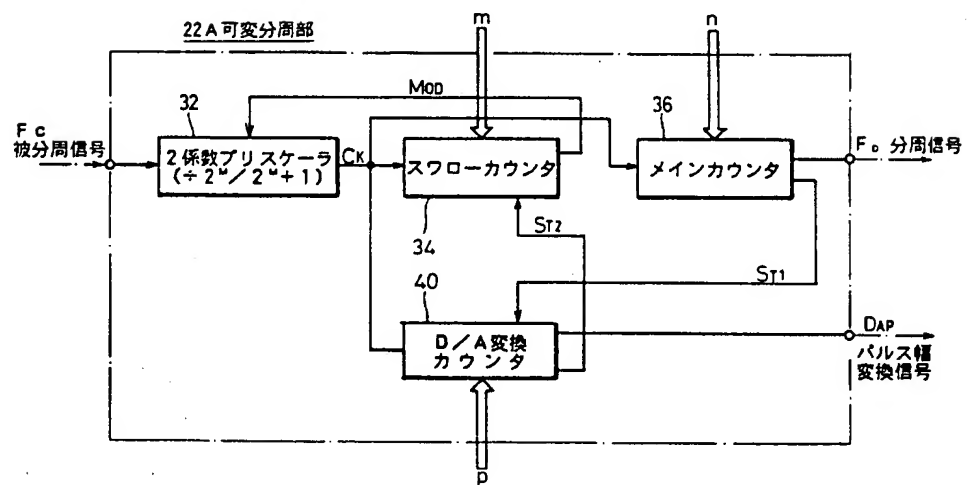


FIG.3

